

PCI-E 卡在衝擊環境的風險評估研究

胡文誠, 陳昀靖, 蔡協良
英業達股份有限公司

摘要

此研究探討 PCI-E 卡受到衝擊測試後, BGA 錫球因板彎而造成破裂損壞的風險, 透過有限元素分析軟體 Abaqus 來預先評估 PCI-E 卡所受到的加速度、位移量和應變。利用 PCI-E 裸板經由有限元素法模擬與實驗結果比較, 同時利用 iSight 針對插槽的邊界條件以連接元素模擬進行參數最佳化分析, 希望在產品開發階段可以藉由模擬分析的評估, 進而減少重複的驗證工作, 減少測試樣品的開銷費用。

關鍵字: PCI-E、連接元素、Abaqus、有限元素法、iSight、加速度、應變、位移量、衝擊測試、最佳化方法

ABSTRACT

This study is to estimate PCI-E card's BGA crack risk under shock test. By using FEA software Abaqus to compare PCI-E bare board for acceleration, displacement and strain experiment data. In the same time, through CAE tool iSight to optimize the boundary condition for PCIE card slot in system with connector element. Hope we can using simulation method to estimate risk during develops stage. And reduce the actual experiment test cost for repeat verification of sample charge.

Keywords: PCI-E, connector element, BGA, Abaqus, finite element analysis, iSight, acceleration, displacement, strain, Shock test, optimization

一、緒論

在各種的電子設備中, 印刷電路板 (Printed Circuit Boards, PCB) 是基本元件之一, 其功能是連結各個電子元件, 讓各個電子元件成為一個完整的電路系統。當整個系統太過複雜時, 可以設計成 PCI-Express (簡稱 PCI-E) 介面的印刷電路板, 當作一個的子系統, 將其功能區分開來, 使用者可以依照使用上的需求以卡片插入的方式來增添功能, PCI-E 介面的印刷電路板的使用, 在電腦設備中最为普遍。

而 PCI-E 電路板的電腦產品在搬運及運輸過程, 難免受到外界之衝擊力或是振動的影響。一旦板上電子零件的焊點和錫球產生破裂或是脫落的情況, 會造成整個電路系統失效。

本文主要在探討 PCI-E 電路板安裝至系統插槽上之模擬分析。透過 Abaqus 進行正弦衝擊模擬, 取得加速度與應變數據, 再經由 Lansmont 衝擊試驗機執行正弦衝擊試驗取得 PCI-E 板上之實驗數據, 將其與模擬數據兩相比較, 探討模擬與實驗之相似度,

借以評估初期設計上的風險。

二、文獻回顧

Ahmad H Youssef 等在文獻 1 中探討利用有限元素分析對不同尺寸 PCB 板與不同動態負載, 透過模態響應和應變利用有限元素模型與實驗模型來研究 PCB 裸板在衝擊測試下的相關訊息, 做為未來 PCB 裸板上加入其他電子元件位置上的參考依據。

而 Amarinder 等在文獻 2 中以晶圓封裝的產品, 針對 BGA 錫球在衝擊測試下的風險評估, 以有限元素分析法建立模型評估不同區域內的 BGA 錫球破裂率, 同時也發現剝離應力和應變不一定是正相關, 會受到板上錫球排列的數量影響。

王等人在文獻 3 中透過模態試驗, 將量測響應透過頻譜分析轉換求得 PCB 之結構頻率響應函數 (Frequency Response Function, FRF), 由參數評估法將頻率函數由曲線嵌合逼近結構的自然頻率模態振型阻尼比等模態參數。並且透過有限元素彈簧阻尼勁度值描述邊界條件, 進行最佳化分析。

三、實驗設備及方法

3.1. LANSMONT 衝擊試驗機

衝擊試驗主要是用來測試產品的結構強度，大部份 3C 產品送達客戶之前都會經過運輸環境，包括陸運、海運、空運等，此運輸環境可能造成零件老化、斷裂、接觸不良、接觸面的磨耗、故衝擊試驗機的目的是模擬運輸環境中的衝擊狀況，施予適當之衝擊來偵測運送物之弱點及某些特定功能之退化情形，有助於瞭解產品的結構強度及外觀抗衝擊、抗摔、防止跌落等結構材料之特性，分析產品承受衝擊環境之強度，有效預防產品損壞之發生。測試過程如圖 1 所示，本次實驗由衝擊試驗機施以 70g、2msec 的半正弦波衝擊如圖 2 所示：

3.2. PCB 振動加速度量測

利用加速規配合 TP3 信號擷取器，將待測位置之加速度隨時間變化圖記錄下，而 PCI-E 電路板上最大瞬間衝擊加速度信號及加速規量測位置如圖 3 所示：

同時記錄金手指及金屬側板(bracket)上所量測到的加速度響應，做為模擬分析時的動態負載。

3.3. 位移量測

位移量測主要是記錄 PCI-E 卡的端點(Tracking point & Reference point) 如圖 4 所示，取得測試過程中隨時間最大的變形量之值。用以評估 PCI-E 卡在系統內或是治具內擺盪的位移量，透過高速攝影機可以記錄下 70g、2msec 的半正弦波衝擊後，PCI-E 卡在端點位置的位移值變化。

3.4. 應變量測

應變量測主要目的為量測晶片下錫球位置處之應變值；故將應變規黏貼至 PCI-E 電路板上晶片位置之背面周圍四個角落位置如圖 5 所示，並安裝至治具且緊鎖附於衝擊機平台上，藉由衝擊試驗機施以 70g、2msec 的半正弦波衝擊，利用應變量測擷取器擷取衝擊過程中的應變值變化。

四、模擬分析

4.1. Abaqus 建立 Model 與邊界條件

透過薄殼元素 S3R 與 S4R 對 PCI-E 卡以及 Bracket 兩件薄板結構件建立網格，而 PCI-E 卡模型材料參數設定為等向性材料

(FR-4)，金屬側板(bracket)模型材料參數則是設定為 Steel-Galvanized-ColdRolled-Coil (SGCC)。

由於實際 PCI-E 卡是由兩顆螺絲緊鎖附於金屬側板(bracket)上，因此模擬分析中也必須將 PCI-E 卡與金屬側板(bracket)兩元件穩固連接，所以將模型中 PCI-E 卡兩個螺絲孔與鐵件金屬側板(bracket)兩個螺絲孔重疊，孔與孔間連接設定為固定(Rigid)如圖 6 所示：

而文獻 3 提及固定邊界處的動態負載傳遞可利用連接元素來描述，故在 Abaqus 內對 PCI-E 電路板以及金手指位置設定連接元素(bushing element)並且施與負載，負載位置及方向如圖 7 所示，然後將金屬側板(bracket)及治具插槽所量測到的加速度值匯入至模擬的負載位置。然後開始執行模擬分析運算。

4.2. iSight 最佳化邊界條件

由實驗觀察金手指邊界應該為彈片夾持而非完全固定於插槽內，如圖 8 所示，故在 PCI-E 卡金手指位置透過連接元素來模擬 PCI-E 卡與治具插槽連接處之夾持效果，利用振動實驗的數據透過 isight 最佳化連接元素的機械性質以取得合適的邊界條件。

五、結果分析與比較

觀察四個待測位置之加速度隨時間變化圖與模擬比較如圖 9 所示，可觀察到位置一模擬響應開始時有延遲現象，整體的趨勢有相似，而位置二、位置三模擬分析與實驗量測圖形趨勢是接近的，但模擬加速度值有些落差，位置四模擬與實驗趨勢與加速度值都有較明顯的落差。

透過高速攝影機拍攝後的影片結合影像擷取軟體，我們可以將端點的位移隨時間記錄下來和模擬比較如圖 10 所示。而透過圖 10 我們觀察到實驗和模擬擺盪的次數和最大位移量都是接近的，而最大位移量發生的時間點及擺盪的波型則跟模擬稍有誤差而應變規黏貼於晶片位置背面四個角落，如圖 5 所示。而目前評估 BGA 錫球破裂風險的方式，會透過實驗所得最大應變值來做為判斷的標準。透過圖 11 觀察應變模擬值與實驗應變值的第一週期趨勢與最大主應變幅值都相當接近。因此希望透過本研究的模擬方式在設計初期來評估產品在運輸途中

錫球破裂的風險。

六、結論與未來展望

本研究主要目的是利用模擬分析 PCI-E 卡上的主應變，預先評估 PCI-E 卡裝置在機台內受外力影響時，錫球產生破裂的風險，以利減少驗證測試工作，降低測試樣品費用。

故從應變模擬分析結果觀察，模擬分析之應變趨勢雖未與實驗量測完全相同，但實驗與模擬最大主應變值皆位於形變的第一週期內，而實驗與模擬在第一週期內的峰值 (Peak Value) 皆為相似，因此希望透過此分析流程供我們在初步評估錫球破裂風險上作參考。

由於本次模擬將模型簡化未將 PCI-E 卡上其它零件加入考慮，希望未來透過不同設計的 PCI-E 卡來交叉驗證分析，已達到預先評估設計上風險的目標。

七、參考文獻

- [1] Ahmad H Youssef, Xuejun Fan, "Dynamic Analysis of Bare printed circuit board under Inpact," International Conference in Electronic Packaging Technology & High Density Packaging 2012 978-1-4673-1681-1
- [2] Amarinder Singh Ranoita, Xuejun Fan and Qiang Han, "Shock Performance Study of Solder Joints in Wafer Level Package," International Conference in Electronic Packaging Technology & High Density Packaging, 2009, 978-1-4244-4659-9
- [3] 王栢村, 陶致均, 李沛緯 "印刷電路板模型驗證與響應預測之重複性探討," International Conference in Electronic Packaging Technology & High Density Packaging, 2009, 978-1-4244-4659-9

八、圖片

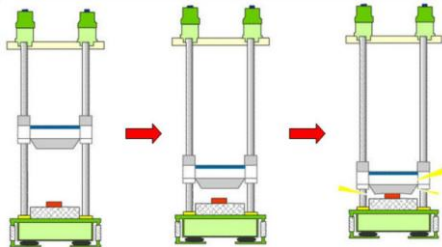


圖 1

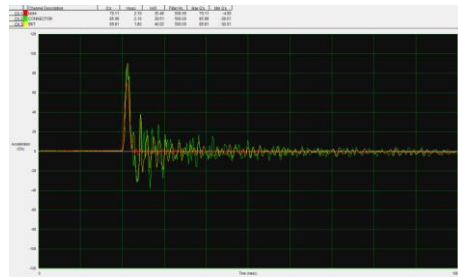


圖 2

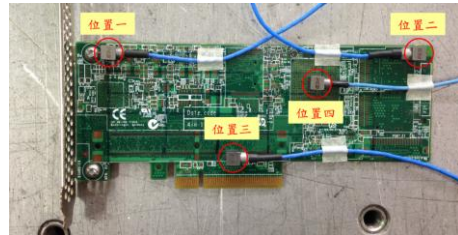


圖 3

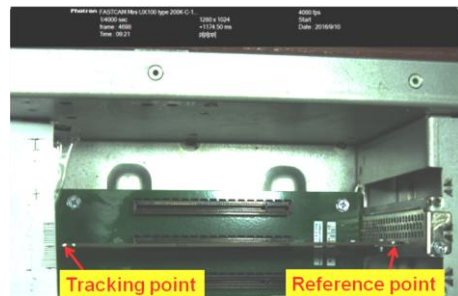


圖 4

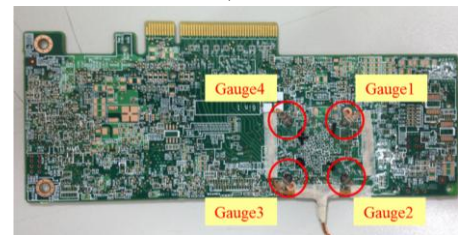


圖 5

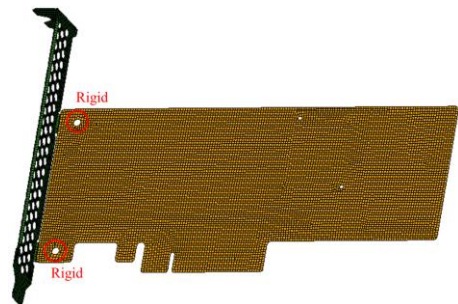


圖 6

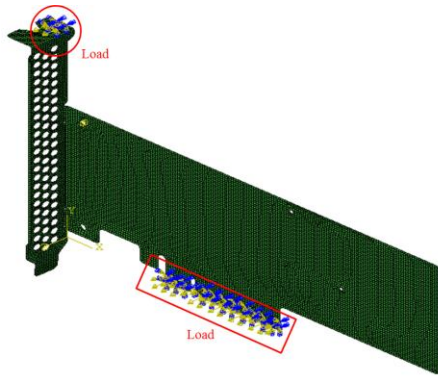


圖 7

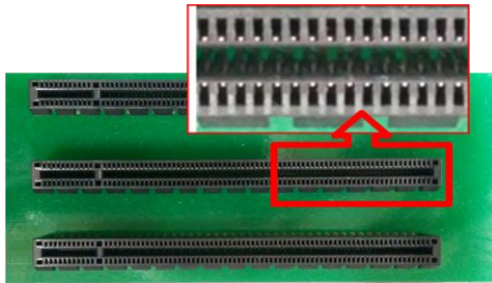


圖 8

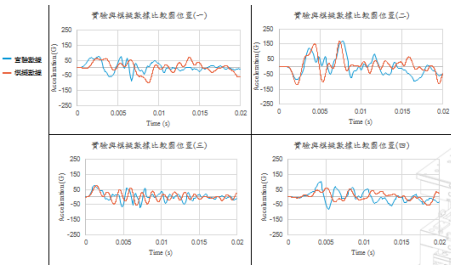


圖 9

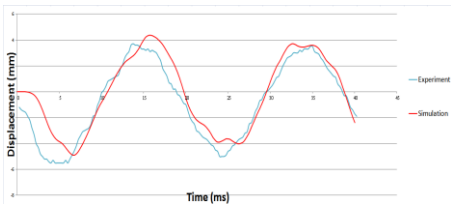


圖 10

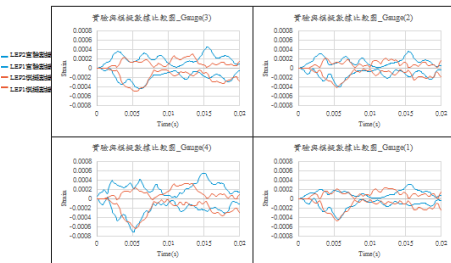


圖 11