

MIM 電容之介面脫層破壞分析

Fracture Analysis of Interface Delamination in Metal-Insulator-Metal Capacitor Device

謝明哲¹, 吳昇財¹, 陳昭宏²

¹ 工業技術研究院, ² 穩懋半導體

摘要

近年來, 金屬-絕緣體-金屬(Metal-Insulator-Metal, MIM)電容元件不僅常應用於過濾射頻電路中的雜訊或是在數位電路中可以作為一個負載元件, 而在積體電路(IC)與電路板(PCB)製程中也越來越廣泛使用。如果因為 MIM 電容元件中發生嚴重的變形或應力導致損壞, 將會造成其可靠度與電路特性的問題產生, 甚至造成發生結構脫層的現象。有鑑於此, 為了能夠瞭解在 MIM 電容元件中應力分佈的情形, 元件透過一種加速應力(HAST)的可靠度測試環境後, 其結果顯示在 Silicon Nitride(Si_3N_4)層附近會發生脫層的現象; 本文使用有限元素法去模擬並分析 MIM 電容元件在此可靠度測試的環境, 而數值分析結果發現在整體結構中最大應力發生在 Si_3N_4 層附近, 這些應力集中區域將使得結構產生破裂, 進而造成如可靠度測試結果之脫層現象的發生。本文也使用實驗設計法(designs of experiments, DOE)來分析此結構中的那些幾何參數是影響其應力分佈最重要的, 希望藉此參數分析結果能夠讓設計者當作考量, 避免發生 MIM 電容元件脫層。

關鍵字: MIM 電容、有限元素分析、實驗設計法、可靠度測試

ABSTRACT

It is well known that the Metal-Insulator-Metal (MIM) capacitor device can be a match circuit or a noise filter in RF circuit and be a loading device in digital circuit. The MIM capacitor devices are becoming most popular structures that have been massively used in system circuit designs to perform capacitors in IC and PCB processes. Because the characteristics of system will be changed and electrical performances will be impaired if large deformations or stresses are resulted in MIM capacitor device, the concerns of reliability for MIM capacitor devices are important issues. The critical stresses in MIM capacitor device may induce the phenomenon of interface delamination. For the purpose of realizing the stress distributions in MIM capacitor device, the finite element analysis (FEA) is adopted. The highly accelerated stress testing (HAST) of reliability test is also employed. The reliability test results show that the delamination occurs along the Si_3N_4 layer. Through FEA simulation results, the maximum stress is found to take place at the layer of Si_3N_4 or its corresponding interfaces. These stress concentration areas are critical places to be fractured, which are well agreed with the results of reliability test. Moreover, to have better geometric parameters in MIM capacitor device to reduce the critical stresses, the designs of experiments (DOE) analysis is also used. This study is expected to be useful design guidelines to prevent the delamination in MIM capacitor device.

Keywords: MIM capacitor, finite element analysis, DOE, reliability test

一、緒論

MIM 電容目前在積體電路與電路板

製程中是最廣泛被應用於系統電路設計的元件之一, MIM 電容不僅常應用於過濾射頻電路中的雜訊, 甚至在數位電路中可以作

為一個負載元件，在積體電路設計中使用 MIM 電容對於提升電路特性有很多的好處，但隨之而來的可靠度特性問題也不容小覷[1, 2]。考量到對於此元件的可靠性性質、散熱、熱應力、脫層現象與裂縫成長等問題都會造成元件的損壞或失效，這些問題不只改變了系統電路的特性，甚至造成電路特性的降低，而這些元件失效的主要原因多數為脫層現象的產生，因為在其各結構介面上的能量釋放率(energy release rate)過低或是嚴重的應力集中發生[3, 4]。為了研究 MIM 電容結構中的脫層現象，本文使用三維有限元素分析方法去了解在結構中熱應力分布的情形，而這裡也使用加速應力的可靠度測試(HAST)來研究元件的失效模式，透過產品失效分析發現，在 Si_3N_4 介面層的確發生結構脫層的現象，而且與有限元素分析的結果也吻合。

MIM 電容的幾何結構對於其應力分布的情形有一定的重要性，為此，本文選擇了數種不同的參數當作設計因子，透過有限元素和實驗設計法分析[5]，找出這些因子與電容結構的最大等效應力值(von Mises stress)相對應之關係為何，從這些結果中找出影響其結構應力最大的為何種參數，進而達到降低其結構應力的最佳化方案。

二、MIM 電容元件之失效分析與有限元素分析

為了研究 MIM 電容元件的失效模式，在這邊利用穩懋半導體公司使用砷化鎵(GaAs)製程所生產的元件(如圖 1)。結構中的 1^{st} Si_3N_4 介電層厚度為 $0.21 \mu\text{m}$ 利用 PECVD 製程沉積到砷化鎵的基板上，而砷化鎵的厚度為 $75 \mu\text{m}$ ，所謂的 MIM 中的金屬層分別使用 $1.1 \mu\text{m}$ 與 $2.0 \mu\text{m}$ 的金(Au)，其定義為 MET1 與 MET2。金屬層之間為 $0.1 \mu\text{m}$ 厚的 2^{nd} Si_3N_4 ，而 3^{rd} Si_3N_4 則是沉積到 MET1 之上為 $0.1 \mu\text{m}$ ，金屬層左右再上一層 $1.6 \mu\text{m}$ 厚的 polyimide，最後整個在表面上沉積一層 $0.5 \mu\text{m}$ 厚的 Si_3N_4 當作保護層。環境測試所使用的加速應力可靠度測試條件為 25 度 C 到 125 度 C，濕度為 85%，測試時間為 96 小時。利用掃描式電子顯微鏡(SEM)所拍攝的測試結果如圖 2，從圖中

可以發現在沿著砷化鎵/ 1^{st} Si_3N_4 與 MET1/ 2^{nd} Si_3N_4 層之間可以看到初始破壞的現象發生，這些可能就是應力集中較為嚴重或是低介面能量釋放率的區域。因此，為了找出此結構的應力分佈情形，本文使用有限元素分析技術來模擬此結構失效的情形。圖 3 為此 MIM 電容結構的六面體網格示意圖，由於結構對稱的關係，此結構採用四分之一對稱，而模擬所使用的材料參數如表 1 所示。

圖 4 顯示在 MIM 電容結構中的應力分佈情形，可以發現最大等效應力發生在 2^{nd} Si_3N_4 層附近，其值大約是 350MPa 左右，這可能就是造成其脫層產生的來源。另外圖 5 可以看到特別將其脫層發生的結構之應力分佈情形示意圖，圖中可以看到砷化鎵/ 1^{st} Si_3N_4 的最大等效應力約為 218MPa，而 MET1/ 2^{nd} Si_3N_4 層的最大等效應力約為 334MPa，這兩者的應力集中都是發生在結構的角落上，因此就有可能從此角落的位置開始發生失效的現象，這模擬結果是與可靠度加速試驗吻合的結果。

三、MIM 電容元件之實驗設計分析

本章節將探討 MIM 電容結構的幾何參數對其最大等效應力分布的情形，這裡使用的是實驗設計分析法，利用 MET2 與 polyimide 的距離(因子 A)、polyimide 的厚度(因子 B)、 1^{st} Si_3N_4 的厚度(因子 C)與 2^{nd} Si_3N_4 的厚度(因子 D)，這四個參數將作為設計因子，這些參數都有高低兩水準(表 2)，所以需要考慮的模擬總數有 16 組，而反應參數是用結構中 1^{st} Si_3N_4 與 2^{nd} Si_3N_4 的最大等效應力結果，所有的模擬條件都是從環境溫度 25 度 C 到 130 度 C。圖 6 是統計軟體對於 1^{st} Si_3N_4 層最大等效應力分析出來的結果，從圖中可以看出其影響最大的參數為 2^{nd} Si_3N_4 層的厚度，且是為高度正相關，也就是說增加其厚度，將會增加 1^{st} Si_3N_4 層的應力；圖 7 顯示幾何參數對 2^{nd} Si_3N_4 層的最大等效應力的影響，其結果發現增加因子 A、AB 與 C，會增加其 2^{nd} Si_3N_4 層的應力，反之，增加其 2^{nd} Si_3N_4 層的厚度可以減低其應力。因此，透過實驗設計分析，要降低此 MIM 電容結構應力的產生，最好是增加其 2^{nd} Si_3N_4 層的厚度來達到。

四、結論與未來展望

本文說明了 MIM 電容元件的可靠度加速試驗之結果，為了瞭解脫層現象的發生情形，使用有限元素分析法來模擬其試驗後所造成的結果，透過模擬結果得知，其最大等效應力發生在 2nd Si₃N₄ 層附近，與可靠度試驗結果吻合。此外，利用實驗設計方法與統計分析找出能夠影響 MIM 電容元件結構中應力分佈情形的幾何參數，透過這些結果與分析，得知增加 2nd Si₃N₄ 層的厚度可以降低最大等效應力，然而增加 1st Si₃N₄ 層反而會造成應力的增加，儘管如此，最大的等效應力集中區域仍然是在 2nd Si₃N₄ 層。相信這些模擬與分析結果可以當作後續設計者的準則之一。

五、參考文獻

- [1] C. Gautier, et al., "Silicon based system in package: Improvement of passive integration process to avoid TBMS failure", *Microelectronics Reliability* 48 (2008), 1258-1262.
- [2] S. Demirtas, et al., "Lifetime estimation of intrinsic silicon nitride MIM capacitors in a GaN MMIC process", *International Conference on Compound Semiconductor Manufacturing Technology*, Tampa, FL, USA, 2009.
- [3] R.H. Daukardt, M. Lane, Q. Ma and N. Krishna, "Adhesion and debonding of multi-layer thin film structures", *Engineering Fracture Mechanics* 61 (1998), 141-162.
- [4] R. Shaviv, S. Roham and P. Woytowicz, "Optimizing the precision of the four-point bend test for the measurement of thin film adhesion", *Microelectronic Engineering* 82 (2005), 99-112.
- [5] Ming-Che Hsieh, Chih-Kuang Yu and Wei Lee, "Effects of Geometry and Material Properties for Stacked IC Package with Spacer Structure", *EuroSimE 2009 – International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Micro-Electronics and Micro-Systems* (2009), pp. 239-244.

六、表格

Materials	E (GPa)	ν	CTE (ppm/°C)
GaAs	82.68	0.31	5.7
1 st / 2 nd / 3 rd Si ₃ N ₄	260	0.25	2.0
MET1 & 2 (Au)	77.2	0.42	14.4
Polyimide	5.21	0.34	20 @ 20°C 32 @ 100°C 40 @ 250°C
Protect Si ₃ N ₄	260	0.25	2.0

表 1 MIM 電容元件之材料參數表

Factor	Name	Unit	Low level	High level
A	PI location	μm	1.2	2.5
B	PI thickness	μm	1.2	2.0
C	1st Si3N4 thickness	μm	0.1	0.3
D	2nd Si3N4 thickness	μm	0.1	0.3

表 2 各設計因子之二水準因子設計表

七、圖片

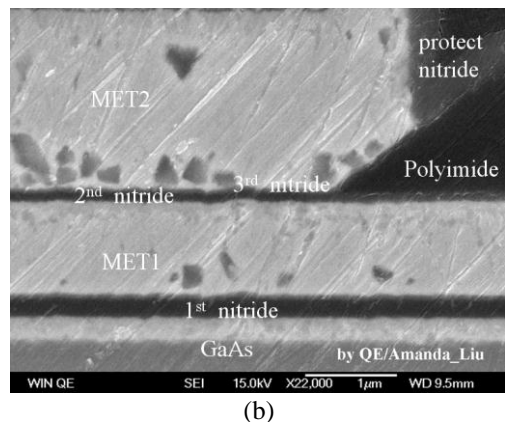
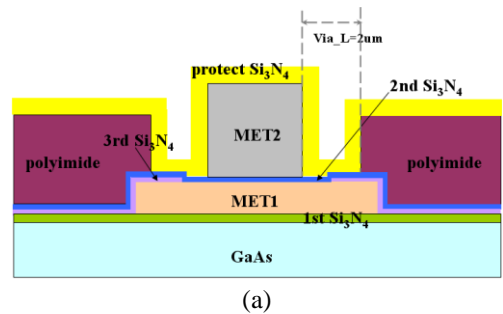


圖 1 (a) MIM 電容元件結構示意圖；(b) MIM 電容結構之 SEM 圖片

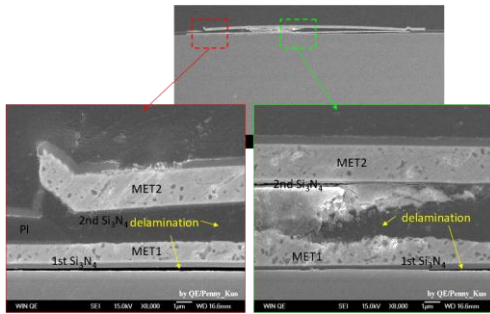


圖 2 MIM 電容結構的失效分析

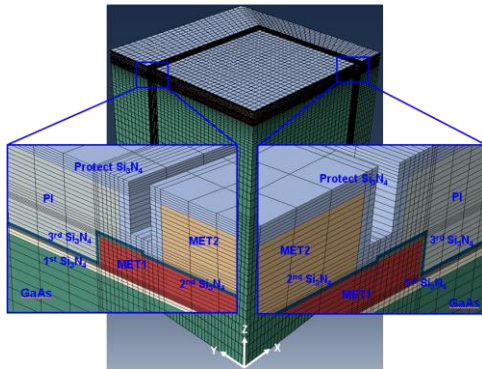


圖 3 MIM 電容結構的六面體網格示意圖

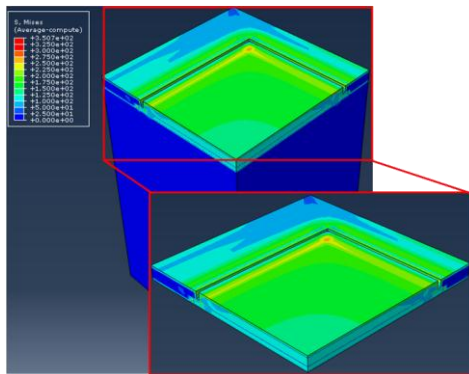
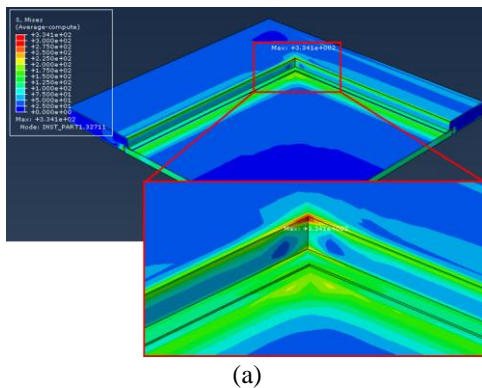
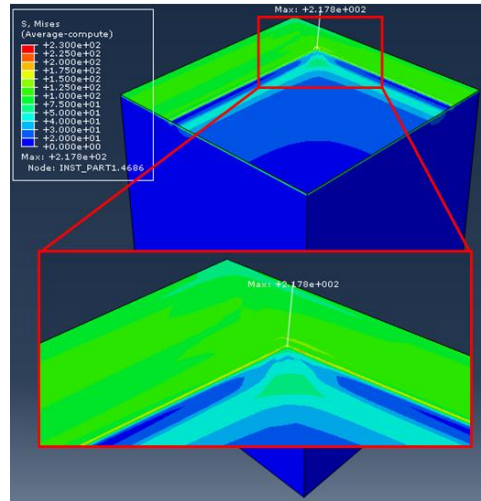


圖 4 MIM 電容結構整體應力分佈圖



(a)



(b)

圖 5 (a) MET1/2nd Si₃N₄ 介面；(b) 砷化鎵 /1st Si₃N₄ 介面的應力分佈圖

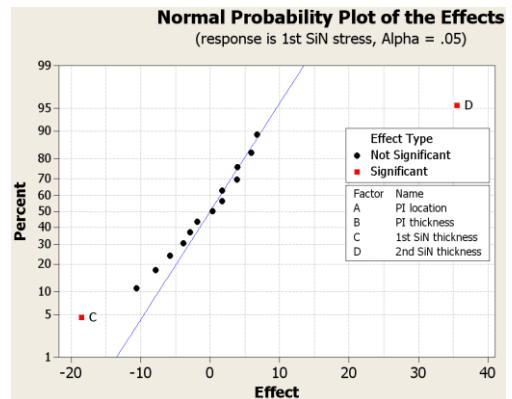


圖 6 在 1st Si₃N₄ 層的最大等效應力常態分佈圖

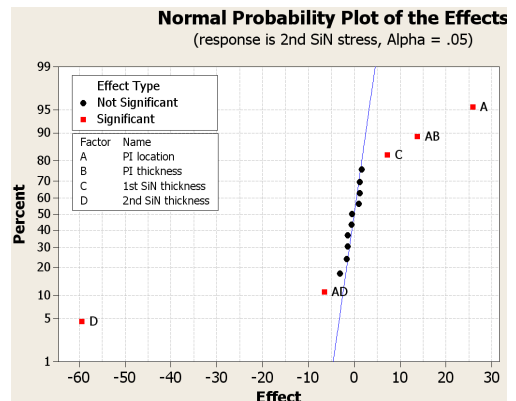


圖 7 在 2nd Si₃N₄ 層的最大等效應力常態分佈圖